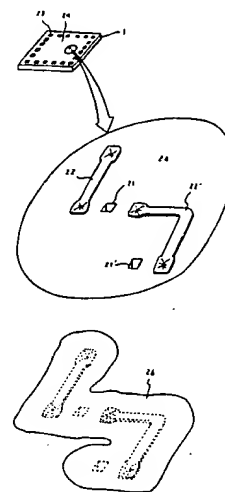


# (54) SEMICONDUCTOR DEVICE, INFORMATION OF INSULATING FILM AND DEVICE THEREFOR

- (11) 3-215941 (A) (43) 20.9.1991 (19) JP  
 (21) Appl. No. 2-10616 (22) 22.1.1990  
 (71) HITACHI LTD (72) MIKIO HONGO(3)  
 (51) Int. Cl<sup>5</sup>. H01L21/31, H01L21/312, H01L21/316

**PURPOSE:** To contrive to realize reliably the reliability of a repaired chip by a method wherein a liquid insulating film material is adhered on part, which includes at least a repair part, of the surface of the chip, a solvent is removed and an insulating film obtainable by solidifying the material is formed on the surface of the chip.

**CONSTITUTION:** An insulating film 26 obtainable by making an insulating film material adhere on a region, where includes the upper parts of at least a cut place and a repair wiring and from where the upper parts of pads 23 or bumps for connection use are excluded, of the surface of a chip 1 by an ink jet is formed on the chip 1, on which the cut place and the connecting wiring 22 for repair are formed. Accordingly, as the wiring is not exposed at a part, where the wiring 22 for repairing of the chip 1 is cut, a short-circuit due to infiltration of water content, an electro-migration and the like is not generated. Moreover, as the repair wiring 22 is not exposed, the wiring is never disconnected by a mechanical force at the time of assembly, a heating, corrosion due to infiltration of water content and the like. Thereby, the realization of the reliability of a repaired chip is reliably achieved.



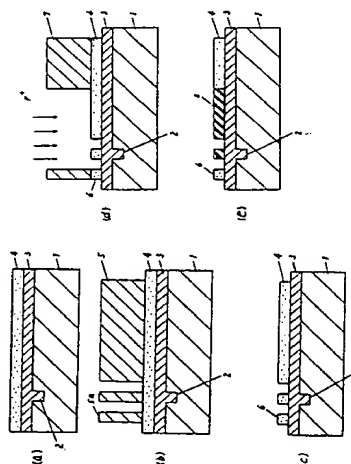
21 and 21': opening part. 22: connecting wiring

# (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

- (11) 3-215942 (A) (43) 20.9.1991 (19) JP  
 (21) Appl. No. 2-11410 (22) 19.1.1990  
 (71) MATSUSHITA ELECTRON CORP (72) FUMIHIKO NORO  
 (51) Int. Cl<sup>5</sup>. H01L21/3205, H01L23/48, H01L27/04

**PURPOSE:** To contrive the facilitation of control of the resistance value of a polycrystalline silicon film wiring by a method wherein the polycrystalline silicon film wiring is formed into a constitution having a second mask-alignment pattern and a mask pattern for dissimilar resistance value formation use is mask-aligned on the basis of the second mask-alignment pattern.

**CONSTITUTION:** An insulating film 3, such as a silicon oxide film or the like, and a polycrystalline silicon film 4 are formed on a semiconductor substrate 1, such as a silicon substrate or the like, having a first mask-alignment pattern 22. Then, a mask pattern 5 for polycrystalline silicon film wiring formation use having a pattern 5a for second mask-alignment pattern formation use consisting of a photoresist or the like is formed. Then, the pattern 5 is selectively removed by dry etching or the like to form a polycrystalline silicon film wiring provided with a built-in second mask-alignment pattern 6. Then, a mask pattern 7 for dissimilar resistance value formation use consisting of a photoresist or the like is formed on the polycrystalline silicon film wiring on the basis of the pattern 6, an impurity for dissimilar resistance value formation use is introduced and a polycrystalline silicon film wiring 8 having a dissimilar resistance value is formed. Thereby, the facilitation of control of the resistance value of the polycrystalline silicon film wiring is achieved.

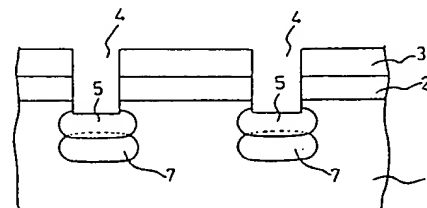


# (54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

- (11) 3-215943 (A) (43) 20.9.1991 (19) JP  
 (21) Appl. No. 2-11557 (22) 19.1.1990  
 (71) MITSUBISHI ELECTRIC CORP (72) KIICHI NISHIKAWA  
 (51) Int. Cl<sup>5</sup>. H01L21/322, H01L21/76

**PURPOSE:** To make it possible to obtain trench isolation grooves having good interelement isolation characteristics by a method wherein intrinsic gettering layers are formed on places, where are situated sufficiently deeper than the lower parts of trench grooves, in a semiconductor substrate.

**CONSTITUTION:** A second conductivity type buried layer 2 is provided in a first conductivity type semiconductor substrate 1 and a second conductivity type epitaxially grown layer 3 is formed thereon. After trench grooves 4 to reach the substrate 1 are formed by etching, an impurity, such as phosphorus or the like, is ion-implanted in parts, which correspond to the bottoms of the grooves 4, in the substrate for forming intrinsic gettering layers. At that time, even after all heat treatments in the latter process are performed, the impurity is ion-implanted at a high energy so that the intrinsic gettering layers 7 are formed on places sufficiently deeper than the interfaces between the bottoms of the grooves 4 and the substrate. Then, first conductivity type buried layers 5 which are used as isolation channel cut layers are formed and moreover, an embedding material is buried in the grooves 4. Thereby, trench isolation grooves having good interelement isolation characteristics are obtained.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-215941

⑤ Int. Cl.<sup>8</sup>

H 01 L 21/31  
21/312  
21/316

識別記号

Z  
B  
C

庁内整理番号

6940-5F  
6940-5F  
6940-5F

⑬ 公開 平成3年(1991)9月20日

審査請求 未請求 請求項の数 9 (全10頁)

⑭ 発明の名称 半導体装置並びに絶縁膜形成方法及びその装置

⑯ 特 願 平2-10616

⑰ 出 願 平2(1990)1月22日

⑱ 発 明 者 本 郷 幹 雄 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所生産技術研究所内  
⑱ 発 明 者 水 越 克 郎 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所生産技術研究所内  
⑱ 発 明 者 上 村 隆 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所生産技術研究所内  
⑱ 発 明 者 佐 野 秀 造 神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作  
所生産技術研究所内  
⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地  
⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置並びに絶縁膜形成方法及びその装置

2. 特許請求の範囲

1. 不要配線の切断、接続配線の付加形成による補修を行った半導体装置であって、少なくとも上記補修部分を含む表面に液状の絶縁膜材料を付着せしめて溶媒を除去して固化させた絶縁膜を形成したことを特徴とする半導体装置。
2. 不要配線の切断、接続配線の付加形成による補修を行った半導体装置に対して、少なくとも上記補修部分を含む表面に、液状の絶縁膜材料を付着せしめ、溶媒を除去して固化させることを特徴とする絶縁膜形成方法。
3. インクジェットノズルから吐出させて上記液状の絶縁膜材料を付着せしめる請求項2記載のことを特徴とする絶縁膜形成方法。
4. 上記液状の絶縁膜材料がスピン・オン・ガラスを主成分とすることを特徴とする請求項2記載の絶縁膜形成方法。

5. 上記液状の絶縁膜材料ポリイミドを主成分とすることを特徴とする請求項2記載の絶縁膜形成方法。

6. レーザ照射によって上記溶媒を除去して固化させることを特徴とする請求項2記載の絶縁膜形成方法。

7. 複数の絶縁層と複数の配線層を有する電子回路基板の絶縁層の一部が欠落した欠陥に対して、上記欠陥部のみに液状の絶縁膜材料を付着せしめ、溶媒を除去して固化させることを特徴とする絶縁膜形成方法。

8. 対象となる基板を載置するステージと、基板表面を観察する観察光学系と、液状の絶縁膜材料を吐出する手段と、ステージの駆動および絶縁膜材料の吐出を制御する制御装置とを備えたことを特徴とする絶縁膜形成装置。

9. 上記制御装置は、上記観察光学系によって観察する視野内に絶縁膜材料を吐出制御し、絶縁膜材料の付着と表面の観察が同時に行える様に構成されたことを特徴とする請求項8記載の絶

絶縁膜形成装置。

### 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置の表面に絶縁膜を形成する方法およびその装置ならびに該絶縁膜形成方法および装置によって絶縁膜を構成された半導体装置に係り、とくに試作した半導体装置に部分的に存在する不良箇所や原因の特定あるいは不良の補修に好適な絶縁膜形成方法およびその装置ならびに半導体装置に関する。

〔従来の技術〕

半導体装置の高性能化、高速化をめざして、半導体装置の微細化、高集積化が行われている。これにともない、半導体装置の開発が難かしくなっており、開発期間の長期化を招いている。かかる状況は、LSI設計にもカットアンドトライなる回路製作技法が必要であることを示している。すなわち、従来の設計で十分に動作しないチップ上の不良部分を特定し、当該部分に存在する配線を切断したり、任意の箇所に布線を施したり、不良

配線を補修して、暫定的に完全な動作が得られる半導体装置を製造すれば、それに引き続く特性評価や、設計変更が迅速に行え、そのまま技術サンプルとしてユーザに出荷することも可能となる。

一方従来技術としては、たとえばセミコンダクタワールド (Semiconductor World) 1987年9月号第27頁乃至第32頁に記載されているように、FIB (集光イオンビーム) でLSIチップ表面のパシベーションおよび層間絶縁膜に穴あけを行い、配線を露出させたのち、CVDガスを導入して同じくFIBにより金属配線を形成する方法が紹介されている。

またエクステンデッド・アブストラクツ・オブ・ザ・セブンティーンズ・コンファレンス・オン・ソリッドステイト・デバイス・アンド・マテリアルズ・トウキョウ (1985年) 第193頁乃至第196頁 (Extended Abstracts of the 17th Conference on Solid State Devices and Materials, Tokyo, 1985 pp193~196) などに記載されているように、レーザCVD技術を

・ 3 ・

用いてSiO<sub>2</sub>で被覆されたSi基板上にMo配線を形成する方法が紹介されている。

また従来技術としては特開昭62-229956号公報、特開昭62-229957号公報、1988年秋季応物理学会予稿集1988.10.p534が知られている。

〔発明が解決しようとする課題〕

上記第1の従来技術、あるいは第1の従来技術と第2の従来技術の組合せにより、不要配線の切断と付加配線の形成が可能で、これにより設計不良やプロセス不良のため動作しないLSIチップを補修して、完全に動作するLSIを得ることができる。しかし、この様にして得られたLSIチップでは十分な信頼性が得られないという課題を有するものであった。

また、第3～第5の従来技術はレーザCVDにより絶縁膜を形成する方法が開示されているが、デポ速度が遅い、プロセスが複雑等の課題があった。本発明の目的はより簡便に絶縁膜を形成する方法を提供するものである。即ち本発明の目的は、半導体装置上の任意配線を切断したり、接続を行

・ 4 ・

い完全な動作が得られる様に補修した半導体装置の出荷を可能とする高信頼度な絶縁膜形成方法及びその装置並びに半導体装置を提供することにある。

〔課題を解決するための手段〕

上記目的は、補修のための切断箇所および配線を形成したチップ上に、少なくとも切断箇所および補修配線上を含み、かつ接続用の電極(パッドあるいはバンプ)上を除いた領域にインクジェットにより絶縁膜材料を付着させ絶縁膜を形成することにより、達成される。

即ち上記目的は、補修部分を保護膜で覆うことにより、補修チップの信頼性を得ることにある。

〔作用〕

切断、あるいは配線形成による補修の終わったLSIをノズル先端に対向させ、ノズルから絶縁膜を形成するための材料の微細液滴を吐出させて、上記補修部分を含む表面上に上記材料膜を形成する。

ここで絶縁膜を形成するための材料としてスビ

・ 5 ・

・ 6 ・

ン・オン・ガラス、ポリイミドなどが選ばれる。

上記材料膜を形成した後、チップをベーキングすることにより、スピン・オン・ガラスの場合は溶媒を除去しOH基を消失させてSiO<sub>2</sub>膜に、あるいはポリイミドの場合には脱水重合反応が進み、ポリイミド膜が得られる。これにより補修部表面は絶縁膜（保護膜）で覆われることになり、補修したLSIの信頼性を確保することができる。

即ち本発明によれば、切断部のAlが露出していないので、Alのエレクトロマイグレーション等により短絡する恐れはない。またFIB（Focused Ion Beam）CVDやレーザCVDで形成した配線が露出していないので、組立時の機械的な力や加熱、水分浸透による腐食等により断線することはない。

#### 【実施例】

以下、本発明の実施例について図に従って説明する。

第1図は本発明の一実施例である絶縁膜形成装置の全体構成を示している。FIB（Focused

Ion Beam）加工による配線切断や接続穴の形成およびレーザCVDあるいはFIB CVDによる配線接続が終了したLSIチップ、即ち補修の終了したLSIチップ1はX-Y-Z-θステージ2上に載置される。ステージ2はX-Y方向については例えばモータ3、4により駆動される。

（Z-θについても特に図示していないが、モータにより駆動される。）位置決め・観察光学系は対物レンズ5、照明光源6、接眼レンズ7、撮像レンズ（リレーレンズ）8、TVカメラ9から構成されており、チップ1の位置決めや観察を接眼レンズ7あるいはモニタ10により行うことができる。また絶縁膜材料吐出部は圧電素子で形成されたリング11を備えたノズル12と、パイプ13で接続された液だめ14よりなり、絶縁膜材料15が納められている。また、駆動機構16により開閉自在な防護板17がノズルに直下に設置されている。さらに、X-Y-Z-θステージ2の制御、圧電素子リング11および防護板17の制御を行う制御装置18を備えている。

第1図に示した絶縁膜形成装置による絶縁膜の形成方法について説明する。まず、第2図に示す様な、補修の終了したLSIチップ1（ウェハでも可）を第1図に示したX-Y-Z-θステージ2上に載置する。このLSIチップ1表面上には、集束イオンビーム（FIB）加工により、配線を切断するため保護膜あるいは必要に応じて層間絶縁膜を貫通して形成された穴の開口部21、21'および同様にして形成された接続穴間を接続するレーザCVDあるいはFIB CVDにより形成した接続配線22、22'が露出している。通常LSIチップ表面は、入出力端子であるパッド23以外は最終的なパッシベーション膜（保護膜）24で覆われている。

ステージ2上にチップ1を載置した後、チップ1は光学系の下に移動し、チップ1内の2ヶ所のターゲットマーク（位置決め用のマーク）あるいは座標が既知の特定位置（例えばチップの角、特定のパッドあるいは配線の位置）をモニタ画面の中心と位置合せして、その時の図1には示してい

ないがステージ2に取付けたリニアエンコーダ、モータ3、4に取りつけたロータリエンコーダあるいはレーザ干渉計などの手段により知ることができる。座標からX-Y-θの調整を行う。Zについては、対物レンズ5として高倍のレンズを使うことにより、100倍対物レンズの場合で±0.5 μm程度に調整することは可能である。

このあと、チップ1はノズル12直下に移動する。このノズル12は、いわゆるインクジェット・ノズルの機能を有するもので、インクのかわりに絶縁膜材料15を吐出するものである。TVモニタ10上の中心とノズル12から吐出され付着する位置の関係は既知であり、チップ1上の相対座標に従い任意の位置に絶縁膜材料を付着させることは容易である。なお、このインクジェットについては例えば特公昭47-7847号に示されているものと類似の技術であるが、ここでは他からの信号によりインクを偏向させて特定の印字を形成するのではなく、外からの信号により絶縁膜材料15の微細粒子を一定の位置へ輸送し、付着させるものである。ここ

では付着位置の調整はチップ1を載置しているX-Y-Z-θステージ2によってのみ行う例で示しているが、相対的にノズル12位置を移動させても同様の結果が得られる。

ここで、ノズル12を形成しているガラス管には圧電素子で形成されたリング11がリング内面が接する様に設置されていて、このリング11に直流電圧パルスが印加されると、瞬間的にガラス管が収縮力を受け、中の絶縁膜材料15の一部が微細な液滴となって飛び出し、チップ1上でつぶれ、ほぼ円形に近い領域を絶縁膜材料15で覆う。圧電素子は必ずしもリングである必要はなく、圧電効果によりガラス管を圧縮できる構造であれば良い。ノズル12先端の内径が約50μmの場合で圧電素子に70V、20〜40nsecのパルスを印加すると直径100μm程度の液滴が吐出される。液の粘度、ノズル径、圧電素子への印加電圧により吐出される液滴の大きさを制御することができ、チップ上に付着した時の寸法として50μm径〜200μm径を得ることができる。即ちFIB加工で形成した穴入



され、 $\text{SiO}_2$ に近い性質の膜が得られる。特に600℃以上の温度でベークするとOH成分が消失し、 $\text{SiO}_2$ 膜が得られるが、ベーク温度はLSIチップに許容される温度が選ばれる。通常、AI配線へのダメージを最小にするため、400℃以下が望ましい。

以上により、補修部は $\text{SiO}_2$ あるいは $\text{SiO}_x$ に近い性質の保護膜で覆われることになり、LSIとしての信頼性が確保される。

次にポリイミド樹脂を用いた場合について説明する。材料としてはブレポリマ（あるいはモノマ）状態の樹脂材料をピロリドン、ジメチルアセトアミド等の溶媒に溶解したもので、200〜400℃の温度でベークすることにより、溶媒が除去され脱水重合反応が進み、ポリイミド膜が形成される。これにより、補修部はポリイミド膜で覆われることになり、LSIとしての信頼性が確保される。

ここでは、補修の方法即ち、不要配線の切断、接続穴の形成、接続配線の形成の方法については特に触れないが、例えば特開昭63-164240に記載



口21の座標、あるいはレーザCVDなどで形成した補修配線22の形成データに従ってステージ2を移動させながら一定のピッチで（穴のみの場合には、穴の座標のみに1ヶ）、絶縁膜材料の液滴を付着させて行く。

この時、防護板16の開閉、およびデータに従ったステージ2の移動、圧電素子11への電圧印加などは全て制御装置18により制御される。

第3図は補修配線22の始点位置に1ヶの絶縁膜材料液滴25が付着した状態を示している。このあと、配線データに従いステージ2を移動しつつ絶縁膜材料の液滴を一定ピッチで付着させ、最終的には第4図に示す様に、補修部分全体を絶縁膜材料26で覆う。

ここで絶縁膜材料としてスピン・オン・ガラスを用いた場合について説明する。

スピン・オン・ガラスは $\text{RnSi}(\text{OH})_{4-n}$ で示されるケイ素化合物と添加剤を例えばエタノールなどの有機溶剤に溶解したもので、200℃以上の温度でベークすることにより、有機溶剤が除去



されている方法を採用することができる。

ただし、これに限定されるものではなく、いかなる方法・手段にせよ補修（修正）した半導体チップの補修部分を保護膜で覆い、これにより信頼性を確保することが、本発明の主旨である。

次に別な実施例である絶縁膜形成装置および形成方法について説明する。第5図は絶縁膜形成装置の全体構成を示している。

補修済のチップ31（あるいはウェハ）を載置するためのX-Y-Z-θステージ32とそれを駆動するためのモータ33、34（他に図示していないがZ-θについてもモータで駆動する）と対物レンズ35、照明装置36、接眼レンズ37、撮影用リレーレンズ38、TVカメラ39、モニタ40からなる観察光学系、縞パターンマスク41の像をチップ1上に投影するための光源42、プリズム43で分離した縞パターン像を線状に集光するためのシリンドリカルレンズ44、44'リニアイメージセンサ45、45'および制御回路46からなる自動焦点系、圧電素子リング51、ノズル52、パイプ53、絶縁膜材料54を



納めた液だめ55からなる絶縁膜材料吐出部、および全体の制御を行う制御装置56から構成されている。第1図に示した実施例との大きな相違点は自動焦点機能を有することと、観察位置と絶縁膜付着位置が同一であり観察しながら絶縁膜形成が行える点である。

まず、配線の切断・接続配線の形成といった補修の終了したチップ（あるいはウェハ）31をX-Y-Z-θステージ32上に載置する。チップ31表面が観察光学系の視野内に入ったら、光源42により縞パターンマスク41を照明してその透過像をチップ31の表面に投影する。これは通常の可視光でも良いし、赤外光（ただし対物レンズ35で結像できる範囲の波長を持つ）でも良く、接眼レンズ37あるいはTVカメラ39の視野内にあっても、また視野外でも良い。この縞パターン像をプリズム43で分割（赤外の場合には分離も可能）してシリンドリカルレンズ44、44'で縞方向に圧縮した像に変換してリニアイメージセンサ45、45'に入力する。この時の像のコントラストが最も大きい場合



このあと、制御装置56により補修データから切断箇所、あるいは補修配線の始点位置がモニタ40の中心（あるいは特定の位置）に位置合せされる。この位置はノズル52から吐出される絶縁膜材料54液滴が付着と一致する様に予め調整されている。対物レンズ35としては比較的長作動距離のものが選ばれ、またノズル52から絶縁膜材料54の微細液滴は斜方より吐出されるが、常に自動焦点が動作し液滴の付着位置は予め調整された位置（モニタ40の画面中央）に一致する。この後、補修配線の場合には、配線を形成した時のデータ（始点、折点、終点の座標）に従いステージ32が移動し、一定ピッチごとに制御装置56からの直流電圧パルス印加により絶縁膜材料液滴を吐出し、第4図に示した様に、切断穴および補修配線上を絶縁膜材料の膜で覆うことができる。なお、この時作業者は接眼レンズ37あるいはTVモニタ40により、絶縁膜材料の液滴が付着する様子を観察・確認することができる。全ての補修箇所を絶縁膜材料の膜で覆った後、チップ（またはウェハ）31は熱処理

が合焦点であり、リニアイメージセンサとシリンドリカルレンズは一組でも良いが、それぞれを合焦点位置よりわずかに前後する位置関係に置き、コントラストが等しくなった点を合焦点としても良い。特に後者の場合は、ピントがどちらにずれているかを検出できるため、自動焦点系としてすぐれている。この系により、リニアイメージセンサ45、45'で得られる信号のコントラストが常に等しくなる様にZステージを駆動することにより観察光学系は常にピントが合った状態となり、仮にチップ（あるいはウェハ）がうねっていたり、下に異物をはさみ込んで、傾いても問題がない。

ここでチップ31内の2ヶ所のターゲットマーク（位置決め用のマーク）あるいは座標が既知の特定位置（例えばチップの角、特定のパッド、あるいは配線の位置）をモニタ40画面の中心（あるいは電子ライン等で特定できる点）に位置合せして、図示していないリニアエンコーダなどの手段によりその位置座標を得、ステージ32を調整特にθ方向のする。

16

（ベーク）が施される。絶縁膜材料としてはSOG（スピン・オン・ガラス）、ポリイミド樹脂などが選ばれ、それぞれに最適なベーク温度によるベークが施される。これにより、LSIチップの補修部は保護膜（絶縁膜）で覆われることになり、LSIとしての信頼性が確保される。

次に別な実施例である絶縁膜形成装置について、第6図に示す。これは第1図に示した装置の光学系にダイクロイックミラー61を介してレーザ光学系を結合したものである。即ち、レーザ発振器62から発振したレーザ光63をミラー64、65を介して開口スリット66で任意の大きさの矩形に成形し、対物レンズ5によりチップ1に縮小投影するもので、参照光源67の参照光により、レーザ光63の照射位置・寸法が調整できる構成になっている。なお、ノズル12を含めた絶縁膜材料吐出部も第1図と同様であるが、ここでは省略してある。この装置による絶縁膜形成方法について述べる。まず配線の切断・接続等の補修を完了したチップ1をX-Y-Z-θステージ2上に載置し、ターゲット



17

マークあるいは座標が既知の特定位置で $XY\theta$ の調整を行う。この後、チップ1をノズル直下に移動させ、補修部分、即ち切断部の開口、および補修配線上に絶縁膜材料の微細液滴を一定ピッチで付着させて絶縁膜材料の膜を形成する。これは第1図～第4図の説明で述べた通りである。

この後、チップ1は再び光学系直下に移動する。そして、補修部分を覆っている絶縁膜材料の膜に参照光による矩形開口スリット66の像位合わせし、レーザ発振器62からのレーザ光63を照射しながら補修配線データに従い、ステージを移動させる。絶縁膜材料としてスピン・オン・ガラスを使用した場合にはレーザとしてCO<sub>2</sub>。レーザが最も望ましい。これは、波長が $10.6\mu\text{m}$ であり、絶縁膜材料によく吸収されるためであるが、YAGレーザ(波長 $1.06\mu\text{m}$ )およびその高調波、Arレーザなどでも局部加熱ができればその目的を達することができる。また、絶縁膜材料としてポリイミドを使用した場合でも、Arレーザ、YAGレーザおよびその高調波、CO<sub>2</sub>。レーザなどを用いること

ができる。ただし、波長が $350\text{nm}$ 以下のレーザでは、ポリイミドを分解してしまうため使用できない。

以上述べた様に、スピン・オン・ガラスの場合でもポリイミドの場合でも、膜形成後チップ全体のベークを行わず、レーザ照射により絶縁膜材料膜のみをベークすることができ、その効果は全体をベークした場合と同じである。

また、ここでは詳しく述べないが、第5図に示した絶縁膜形成装置の光学系に対しても、第6図に示したレーザ光学系を付加することができ、同様の効果が得られることは明らかである。

次に別な実施例について述べる。第7図はセラミック等の基板71上にポリイミド膜72も層間絶縁膜としてAl, Cu, Wなどの金属薄膜の多層配線が形成される電子回路基板の製造途中を示している。即ち、セラミック基板71上にポリイミド膜72を形成し、Al薄膜を成膜した後パターニングしてAl配線73を形成し、その上に層間絶縁膜としてのポリイミド膜74が形成されている。通常、この後、

・ 19 ・

ポリイミド膜74にエッチング技術を適用してコンタクトホールを形成し、2層目の配線層を形成するが、異物などの原因によりポリイミド膜74に欠陥75が生じる場合がある。即ち局部的にポリイミド膜が除去され、一層目の配線が露出している。このまま、後のプロセスを続けると一層目と二層目の配線に短絡が生じ、この電子回路基板は不良になってしまう。

そこで、第1図あるいは第5図あるいは第6図に示した絶縁膜形成装置(ここでは第5図に示した装置を使用した場合で説明する)の $XY\theta$ ステージ32上に載置し $XY\theta$ の調整を行った後、検査装置による検査結果から欠陥75位置を再現する。接眼レンズ37あるいはモニタ40で観察しながら、ノズル52から絶縁膜材料としてポリイミドの微細液滴を欠陥内部に付着させ、欠陥75を埋める。欠陥75の大きさによっては1ヶの液滴で十分な場合もあるし、ステージ32を移動させながら数ヶ～数10ヶの液滴を必要とする場合もある。後の工程で配線膜が段切れを起こさない程度に第

8図に示す様に欠陥75部をポリイミド膜76(正確にはまだポリマ化していない)で埋めた後、電子回路基板をベークして修正を完了する。その後、必要に応じて次の製造工程に進む。

これにより、電子回路基板の製造歩留りを向上することができる。また、完成した電子回路基板に対して、前述した半導体装置と同様に部分的な欠陥や回路変更の必要が生じた場合に、レーザ加工、FIB加工あるいはフォトエッチングプロセスによる配線の切断や、レーザCVD, FIBCVD, マスキングによる部分蒸着、レーザで加速したメッキ、あるいは通常のフォトプロセスによる配線形成を行い、それら補修位置を絶縁膜で覆うことにより、電子回路基板の信頼性を確保することができる。

(発明の効果)

本発明によれば、半導体装置の補修のため配線を切断した部分で配線が露出していないので、水分の浸透、エレクトロマイグレーションなどによる短絡が生じない。また補修配線が露出していな

・ 22 ・

いので、組立時の機械的な力、加熱、水分浸透による腐食等により断線することはない。即ち、補修した半導体装置の信頼性を確保することができる。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例を示す絶縁膜形成装置の構成図、第2図は本発明の対象である補修済みの半導体チップを示す図、第3図および第4図は各々本発明の絶縁膜形成方法を説明するための図、第5図および第6図は各々本発明の他の一実施例を示す絶縁膜形成装置の構成図、第7図および第8図は各々本発明の電子回路基板への絶縁膜形成方法を説明するための図である。

1, 31…LSIチップ、

2, 32…XYZθステージ、

12, 52…ノズル、

15, 54…絶縁膜材料、

21…開口、

22…接続配線、

26…絶縁膜材料膜、

62…レーザ発振器、

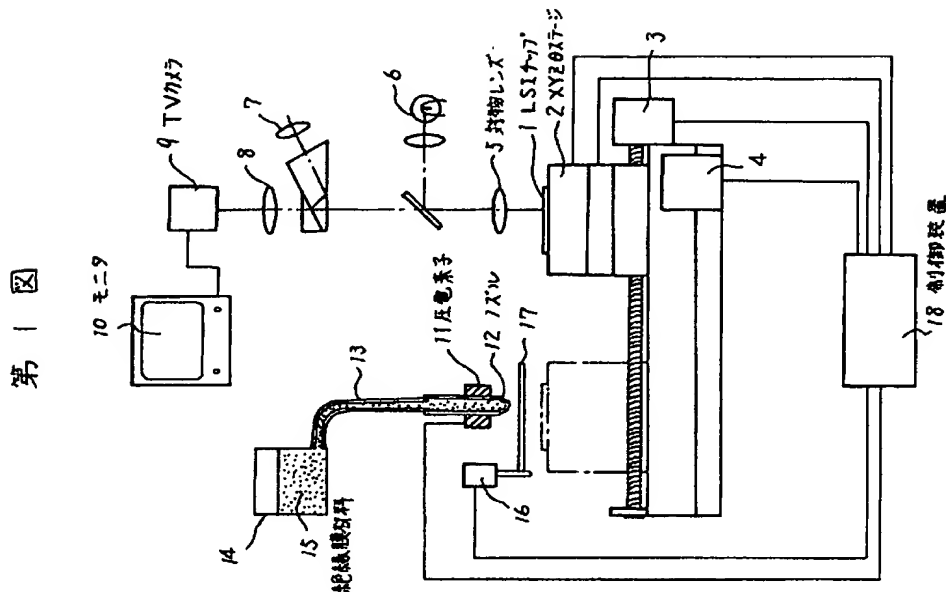
71…電子回路基板、

75…欠陥、

代理人弁理士 小 川 勝

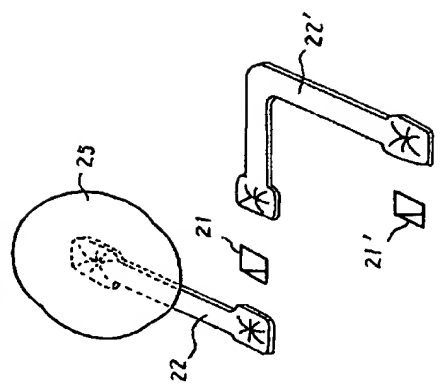


・ 23 ・

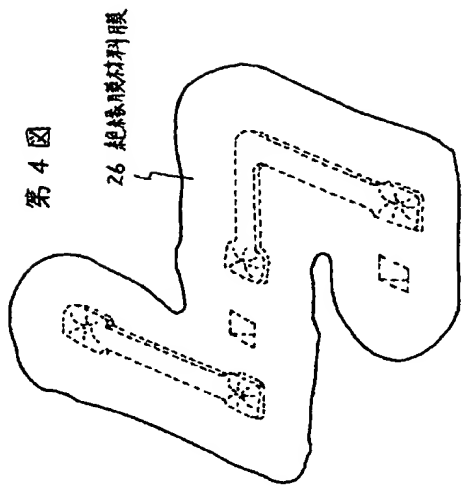




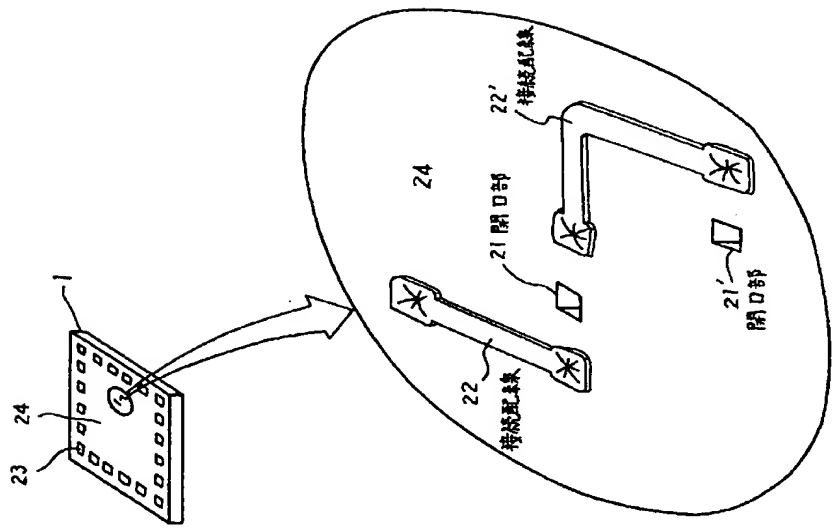
第 3 図



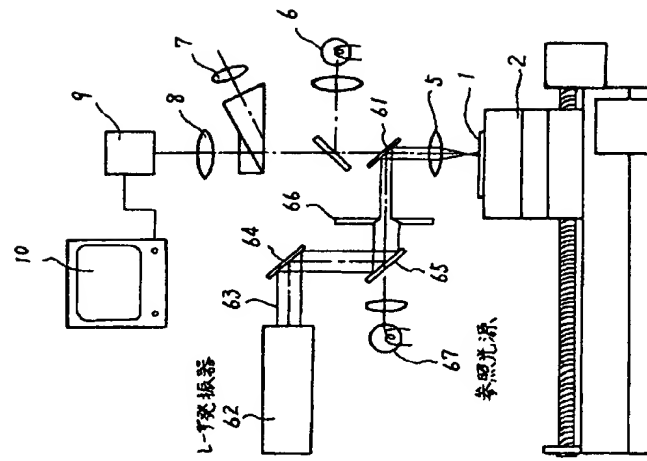
第 4 図



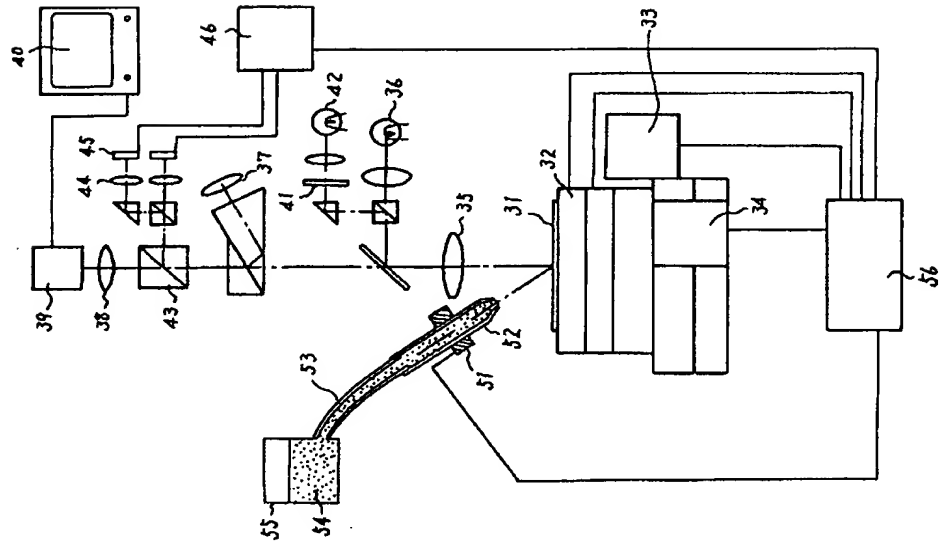
第 2 図



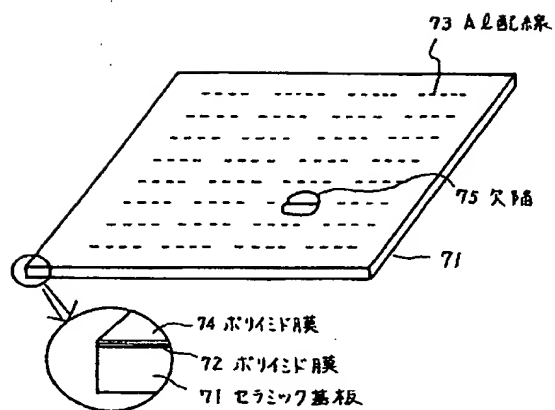
第 6 図



第 5 図



第 7 図



第 8 図

